



Docket No.: MUH-12847

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, Alexandria, VA 22313 20231.

By:  Date: December 12, 2003

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applic. No. : 10/695,366
Applicant : Georg Braun et al.
Filed : October 28, 2003
Art Unit : to be assigned
Examiner : to be assigned

Docket No. : MUH-12847
Customer No.: 24131


CLAIM FOR PRIORITY

Mail Stop: Missing Parts
Hon. Commissioner for Patents,
Alexandria, VA 22313-1450
Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 119, based upon the German Patent Application 102 50 156.4 filed October 28, 2002.

A certified copy of the above-mentioned foreign patent application is being submitted herewith.

Respectfully submitted,



GREGORY L. MAYBACK
REG. NO. 40,716

Date: December 12, 2003

Lerner and Greenberg, P.A.
Post Office Box 2480
Hollywood, FL 33022-2480
Tel: (954) 925-1100
Fax: (954) 925-1101

/mjb



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 102 50 156.4

Anmeldetag: 28. Oktober 2002

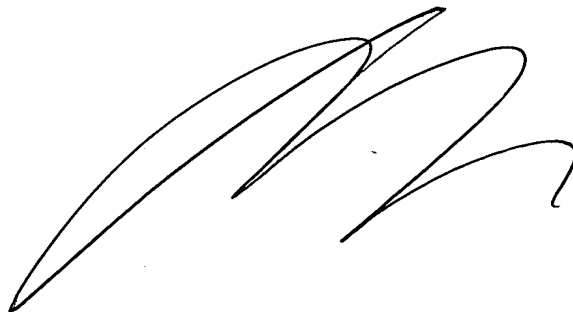
Anmelder/Inhaber: Infineon Technologies AG,
München/DE

Bezeichnung: Speichermodul und Speicheranordnung mit
abzweigfreien Signalleitungen und verteilten
kapazitiven Lasten

IPC: G 11 C 7/10

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 06. November 2003
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag



Kahle

MÜLLER • HOFFMANN & PARTNER – PATENTANWÄLTE

European Patent Attorneys – European Trademark Attorneys

Innere Wiener Strasse 17
D-81667 München

Anwaltsakte:	12267	Ko/Kg/mk
Anmelderzeichen:	2002P10446 (2002 E 10444 DE)	28.10.2002

Infineon Technologies AG

St.-Martin-Straße 53
81669 München

**Speichermodule und Speicheranordnungen mit abzweigfreien
Signalleitungen und verteilten kapazitiven Lasten**

Beschreibung

Speichermodule und Speicheranordnung mit abzweigfreien Signal-
leitungen und verteilten kapazitiven Lasten

5

Die Erfindung betrifft ein Speichermodule für eine Speicheran-
ordnung mit einem aus einer Mehrzahl von Signalleitungen zu-
sammengesetzten Bussystem zur Übertragung von Datensignalen,
wobei das Speichermodule ein Substrat, eine Mehrzahl von auf
dem Substrat angeordneten und mittels Anschlusselementen mit
den Signalleitungen verbundenen Speicherbausteinen und je-
weils einer der Signalleitungen zugeordnete Kontakteinrich-
tungen aufweist.

15 Bei modularen elektronischen Speicheranordnungen für Spei-
chersysteme mit variabler Konfiguration ist üblicherweise ei-
ne Systemplatine mit einem Einbauplatz oder einer Mehrzahl
von Einbauplätzen für Speichermodule vorgesehen. Die Einbau-
plätze sind in Abhängigkeit von den Anforderungen an die
20 Speicheranordnung oder von der Ausbaustufe der Speicheranord-
nung mit jeweils einem Speichermodule bestückt oder bleiben
unbestückt.

Ein Beispiel für ein Speichersystem mit modularer Speicheran-
25 ordnung ist ein Computersystem (PC, work station, server) mit
erweiterbaren Arbeitsspeicher, bei dem auf einer Systemplati-
ne Einbauplätze (Slots) für Speichermodule in Form von Steck-
fassungen vorgesehen und abhängig von der gewünschten Größe
des Arbeitsspeichers mit einer variablen Zahl von Speicher-
30 dulen bestückt sind. Die Speichermodule liegen in der Regel
in Form von SIMMs (single inline memory modules) oder DIMMs
(dual inline memory modules) vor, deren mechanische und e-
lektrische Schnittstellen zur Systemplatine Industriestand-
ards unterworfen sind.

Mit höheren Takt- und Datenübertragungsraten steigen die Anforderungen an die Ausbildung der Signalleitungen des Bussystems. So sind für DDR(double data rate)II-Speichersysteme für
5 DDR-DRAMs (double data rate dynamic random access memories) Datenübertragungsraten von 667 Mbit pro Sekunde und pro Datensignal (Mbit/s/pin) und für DDRIII-Speichersysteme Datenübertragungsraten von bis zu 1,2 Gbit/s/pin vorgesehen.

Bei diesen Datenübertragungsraten wird die Signalintegrität eines auf einer der Signalleitungen des Bussystems übertragenen Datensignals unter anderem von einer der Signalleitung zugeordneten parasitäre Kapazität begrenzt. Ist die parasitäre Kapazität zu hoch, so wird die Signalleitung von einem
15 Buskontrollbaustein oder von auf den Speichermodulen angeordneten Speicherbausteinen bei einem Wechsel eines Pegels des Datensignals nicht schnell genug umgeladen. Ferner wird die Signalintegrität mit zunehmenden Taktraten durch Reflexionen an Störstellen beeinträchtigt.

20 Eine geforderte hohe Datenübertragungsrate begrenzt die maximale Anzahl der in der Speicheranordnung vorzusehenden Speicherbausteine, da zusätzliche Speicherbausteine zunächst zu größere Leitungslängen im Bussystem und weiter eine höhere
25 Anzahl von Anschlüssen pro Signalleitung zur Folge haben. Dies führt zu einer größeren kapazitive Last, längeren Laufzeiten und auch durch eine größere Zahl von Reflexionsstellen und Einstreuungen zu einen erhöhten Störsignalpegel. Nach gegenwärtigen DDR-II Konzepten sind für Datenübertragungsraten
30 von bis zu 333 MHz/pin/s für Speichersysteme ohne Fehlererkennungseinrichtung (ECC, error correction circuit) lediglich 64 Speicherbausteine und für Speichersysteme mit Fehlererkennungseinrichtung 72 Speicherbausteine möglich. Dagegen sind in langsameren herkömmlichen SDR(single data rate)-

Speichersystemen oder solchen nach dem DDRI-Standard 128 Speicherbausteine für Speichersysteme ohne Fehlererkennungseinrichtung und 144 Speicherbausteine für Speichersysteme mit Fehlererkennungseinrichtung möglich.

5

Es ist zur Erhöhung der Speicherdichte einer Speicheranordnung bei gleichbleibender Datenübertragungsrate etwa aus DDRI-Speichersystemen bekannt, zur Wahrung der Signalintegrität zwischen den Speicherbausteinen und den Signalleitungen des Bussystems Bufferbausteine zur Signalkonditionierung einzusetzen. Da die Signalleitungen des Bussystems dann nicht mehr mit allen auf den Speichermodulen angeordneten Speicherbausteinen, sondern nur noch mit einem Bufferbaustein pro Speichermodul verbunden sind, verringert sich die von einem Speichermodul repräsentierte kapazitive Last auf den Signalleitungen sowie die Anzahl von Störstellen.

15

Nachteilig an dieser Lösung ist die Notwendigkeit eines Wartezyklus (latency) zwischen der Übertragung von Steuer- und Adressensignalen auf den Steuer- und Adressensignalleitungen einerseits und der Übertragung von Daten auf Datensignalleitungen andererseits. Bei einem Schreibzyklus werden die Steuer- und Adressensignale zunächst zu einem Buffer bzw. Zwischenspeicher und erst in einem folgenden Zyklus zusammen mit den um einen Zyklus verzögert ausgegebenen Datensignalen zu den Speicherbausteinen übertragen. Ein solcher Wartezyklus verringert insbesondere bei ungeordneten (random) Adressenzugriffen die Datenübertragungsrate deutlich. Dazu erhöhen sich durch die Buffer bzw. Zwischenspeicher Platzbedarf und Kosten des Speichersystems.

20

25

30

Eine weitere vorgeschlagene Lösung ist das Anordnen von jeweils zwei oder mehreren Speicherbausteinen innerhalb eines Bausteingehäuses (chip stacking). Dabei werden korrespondie-

rende Anschlüsse der mindestens zwei Speicherbausteine jeweils auf einen gemeinsamen Anschluss des Bausteingehäuses geführt. Eine selektive Adressierung der in einem gemeinsamen Bausteingehäuse angeordneten Speicherbausteine erfolgt über
5 getrennt geführte Chip-Select-Signale (CS).

Nachteilig an dieser vorgeschlagenen Lösung zur Erhöhung der Speichergröße einer Speicheranordnung ist zum einen, dass es sich bei chip stacking im Falle von für Speicherbausteine für
10 DDRII-Speichersysteme üblichen FBGA (fine-pitch ball grid array)-Gehäusen um einen relativ neuen und teuren Prozess handelt. Ein weiteres Problem bereitet eine geeignete Kühlung der im Bausteingehäuse gestapelten Speicherbausteine. Ferner tritt eine durch jeweils einen Speicherbaustein repräsentier-
15 te kapazitive Last nachteiligerweise jeweils paarweise konzentriert an den Signalleitungen des Bussystems auf. Eine lokal konzentrierte, vergleichsweise hohe Kapazität wirkt für hochfrequente Datensignale als Störstelle.

20 Eine weitere denkbare Lösung ist das Vorsehen von acht anstelle von gemäß üblichen Industriestandards vier Einbauplätzen auf der Systemplatine. Abgesehen von deutlich verlängerten Signalleitungen scheidet diese Lösung wegen des erhöhten Platzbedarfs auf der Systemplatine für Platz begrenzte Appli-
25 kationen aus. Darüber hinaus sind die Einbauplätze üblicherweise jeweils als Steckverbindungen ausgebildet. Jede zusätzliche Steckverbindung in einer Speicheranordnung reduziert aber die Zuverlässigkeit des Gesamtsystems deutlich, so dass eine Erhöhung der Zahl der Steckverbindungen eine Anwendung
30 in Computersystemen mit hohen Zuverlässigkeitsanforderungen, wie etwa Servern, ausschließt.

Aufgabe der vorliegenden Erfindung ist es also, ein Speichermodul zur Verfügung zu stellen, das auch ohne zusätzliche

Signalkonditioniermittel eine gegenüber gegenwärtig bekannten Speicheranordnungen hohe Datenübertragungsrate bei hoher Zuverlässigkeit gewährleistet. Ferner ist es Aufgabe der Erfindung, eine aus Speichermodulen gebildete Speicheranordnung
5 zur Verfügung zu stellen.

Diese Aufgabe wird bei einem Speichermodul der eingangs genannten Art erfindungsgemäß durch die im kennzeichnenden Teil des Patentanspruchs 1 angegebenen Merkmale gelöst. Die Aufgabe wird ferner erfindungsgemäß durch eine Speicheranordnung mit den im kennzeichnenden Teil des Patentanspruchs 14 angegebenen Merkmale gelöst. Vorteilhafte Weiterbildungen der Erfindung ergeben sich jeweils aus den Unteransprüchen.

15 Das erfindungsgemäße Speichermodul für eine Speicheranordnung mit einem aus einer Mehrzahl von Signalleitungen zusammengesetzten Bussystem zur Übertragung von Datensignalen umfasst also ein Substrat, eine Mehrzahl von auf dem Substrat angeordneten und mittels Anschlusselementen mit den Signalleitungen verbundenen Speicherbausteinen, sowie für jede Signalleitung
20 jeweils eine zuführende und eine abführende Kontakteinrichtung. Dabei sind jeweils einander zugeordnete zuführende und abführende Kontakteinrichtung räumlich eng benachbart angeordnet.

25 Das Vorsehen einer abführenden Kontakteinrichtung ermöglicht ein vorteilhaftes Vorbeiführen der Signalleitungen an den zugeordneten Speicherbausteinen. Ohne abführende Kontakteinrichtung bildet jede auf das Speichermodul geführte Signalleitung einen Abzweig (stub), an dem durch Reflexionen Störsignale entstehen, die eine maximale Datenübertragungsrate des Speichersystems begrenzen.
30

Sind den Kontakteinrichtungen auf dem Speichermodul jeweils mehr als zwei Speicherbausteine zugeordnet, so sind einander zugeordneten Kontakteinrichtungen räumlich eng benachbart angeordnet, wenn ein Abstand zwischen den beiden Kontakteinrichtungen geringer ist als ein mittlerer Abstand der den Kontakteinrichtungen zugeordneten Speicherbausteine zur zuführenden Kontakteinrichtung. Sind die Kontakteinrichtungen dagegen mit nur einem Speicherbaustein oder genau zwei Speicherbausteinen verbunden, so gelten sie als räumlich eng benachbart angeordnet, wenn zwischen der abführenden Kontakteinrichtung und der zugeordneten zuführenden Kontakteinrichtung maximal sechzehn andere Kontakteinrichtungen angeordnet sind, unabhängig davon, ob die zuführende und die zugeordnete abführende Kontakteinrichtung auf der selben Substratoberfläche oder auf einander gegenüberliegenden Substratoberflächen angeordnet sind. Vorteilhafterweise sind die einander zugeordneten Kontakteinrichtungen maximal durch ein oder zwei jeweils Schirmleitungen zugeordneten Kontakteinrichtungen voneinander getrennt.

Ein räumlich eng benachbartes Anordnen von jeweils einander zugeordneten zuführenden und abführenden Kontakteinrichtungen ermöglicht in Verbindung mit einer geeigneten Platzierung der Speicherbausteine auf dem Speichermodul eine besonders vorteilhafte, kurze Ausbildung der Signalleitungen.

Vorteilhafterweise ist jede Signalleitung dabei jeweils im Wesentlichen ohne Abzweig in einem Zug und auf direktem Wege von der zuführenden zur abführenden Kontakteinrichtung ausgebildet. Zwischen der zuführenden und der abführenden Kontakteinrichtung ist sie nacheinander über alle der Signalleitung zugeordneten Anschlusselemente von der Signalleitung zugeordneten Speicherbausteinen geführt.

Eine solcherart ausgeführte Signalleitung weist im Wesentlichen keine oder nur sehr kurze, beinahe ausschließlich durch die Anschlusselemente der Speichermodule gebildete Abzweige auf. Jeder Abschluss eines Abzweigs bildet eine Reflexionsstelle, an der ein auf der Signalleitung übertragenes Datensignal reflektiert wird. Das reflektierte Signal überlagert sich dem Datensignal. Ist eine Weglänge eines Abzweigs ausreichend kurz gegen eine Bitfrequenz des Datensignals, so ist eine Verzerrung des Datensignals durch das reflektierte Signal klein. Durch die Vermeidung bzw. Verkürzung von Abzweigungen kann vorteilhafterweise die Datenübertragungsrate in einer Speicheranordnung mit erfindungsgemäß ausgebildeten Speichermodulen erhöht werden.

Sind die Kontakteinrichtungen in Kontaktreihen angeordnet, so werden jeweils einander zugeordnete zuführende und abführende Kontakteinrichtungen vorteilhaft einander unmittelbar benachbart angeordnet. Werden die den Kontakteinrichtungen zugeordneten Speicherbausteine auf dem Substrat nun beidseitig und im Wesentlichen senkrecht zur Kontaktreihe angeordnet, so lässt sich die zugeordnete Signalleitung auf dem Speichermodul auch sehr kurz ausführen. Sie führt dann etwa von der zuführenden Kontakteinrichtung in einer Richtung senkrecht zur Kontaktreihe im Wesentlichen in gerader Linie nacheinander zu den auf einer ersten Oberfläche des Substrats angeordneten zugeordneten Speicherbausteinen, über eine Durchkontaktierung zur anderen Oberfläche und wieder im Wesentlichen in gerader Linie und über eine weitere Durchkontaktierung zurück zur zuführenden Kontakteinrichtung. Die Signalleitung weist keinen wesentlichen Abschnitt parallel zur Kontaktreihe auf und ist daher vorteilhaft kurz. Allgemein weisen kurze Signalleitungen gegenüber langen Signalleitungen kürzere Laufzeiten auf und ermöglichen höhere Datenübertragungsraten.

Sind die Kontakteinrichtungen in mindestens zwei einander am Substrat direkt oder versetzt einander gegenüberliegend angeordneten Kontaktreihen angeordnet, so sind jeweils einander zugeordnete zuführende und abführende Kontakteinrichtungen
5 vorteilhaft direkt oder einander versetzt gegenüberliegend angeordnet. Es entfällt eine Durchkontaktierung. Bei einem Vorsehen des erfindungsgemäßen Speichermoduls auf einer Systemplatine ist das Führen von Signalleitungen zu und vom Speichermodul vereinfacht.

In beiden Ausführungsformen des erfindungsgemäßen Speichermoduls sind jeweils einander zugeordnete zuführende und abführende Kontakteinrichtungen einander direkt benachbart oder liegen sich im Wesentlichen direkt oder versetzt gegenüber.
15 Jedoch sind die zugeordneten Kontakteinrichtungen auch dann räumlich eng benachbart im Sinne der vorliegenden Erfindung angeordnet, wenn zwischen den zugeordneten Kontakteinrichtungen eine geringe Anzahl weiterer Kontakteinrichtungen angeordnet ist. Als weitere Kontakteinrichtungen sind etwa auch
20 ein oder zwei Kontakteinrichtungen zum Führen von den Signalleitungen zugeordneten Schirmleitungen auf das Speichermodul möglich.

Die Speicherbausteine können zur weiteren Verkürzung der Signalleitungen auf den beiden Oberflächen des Substrats in verschiedenen Bauteilgehäusen mit zueinander spiegelbildlicher Anschlussbelegung vorgesehen sein.
25

In bevorzugter Weise sind die Signalleitungen auf und/oder im Substrat des Speichermoduls so geführt, dass Verbindungen zwischen den Anschlusselementen und der Signalleitung in weitgehend regelmäßigen Abständen angeordnet sind. Dabei entsprechen die Abstände im Wesentlichen mindestens Abmessungen eines Bauteilgehäuses, etwa eines FBGAs, der Speicherbauteil-
30

ne. Die durch die Speichermodule gebildete kapazitive Belastung der Signalleitung verteilt sich so in vorteilhafter Weise in der Art eines kapazitiven Belags, wodurch ein Wellenwiderstand der Signalleitung herabgesetzt und eine höhere maximale Datenübertragungsrate innerhalb der Speicheranordnung ermöglicht wird.

Bevorzugterweise sind die Signalleitungen dazu in äquidistanten Abständen mit den zugeordneten Anschlusselementen verbunden.

Ein erfindungsgemäßes Speichermodul ist mit verschiedenen Typen von Speicherbausteinen realisierbar, etwa mit SDR-DRAMs (single data rate dynamic random access memories). Bevorzugt sind jedoch Speicherbausteine mit einer DDR-Schnittstelle zur Anordnung auf dem Speichermodul vorgesehen. Da bei DDR-DRAMs ein Datentransfer sowohl auf einer positiven als auch auf einer negativen Flanke eines Datentaktsignals erfolgt, wird bei gleicher Frequenz des Datentaktsignals eine gegenüber SDR-DRAMs nahezu verdoppelte Datenübertragungsrate ermöglicht.

Gegenüber mit bekannten Speichermodulen ausgeführten DDR-Speichersystemen ohne Fehlerkorrektureinrichtungen erhöht das erfindungsgemäße Speichermodul die maximal mögliche Anzahl von Speicherbausteinen im Speichersystem auf 128.

Gegenüber mit bekannten Speichermodulen ausgeführten DDR-Speichersystemen mit Fehlerkorrektureinrichtungen erhöht das erfindungsgemäße Speichermodul die maximal mögliche Anzahl von Speicherbausteinen im Speichersystem auf 144.

Um die Anordnung einer entsprechenden Anzahl von Speicherbausteinen auf dem Substrat des Speichermoduls in gängigen standardisierten Bauteilgehäusen wie etwa FBGA zu ermöglichen,

ist eine Vergrößerung der Oberfläche des Substrats notwendig. Über die vergrößerte Oberfläche des Substrats wird auch eine Kühlung des Speichermoduls verbessert.

- 5 Nach einer ersten bevorzugten Ausführungsform des erfindungsgemäßen Speichermoduls wird die Substratoberfläche durch eine Teilung des Substrats in mindestens zwei Teilsubstrate (21a, 21b) vergrößert. Bevorzugt sind dabei die Teilsubstrate (21a, 21b) jeweils in einem Abstand von 5 bis 25 mm angeordnet und parallel ausgerichtet. Die Teilsubstrate sind dabei durch Steckkontaktreihen, einem flexiblen Leitungsband oder mittels Platinen miteinander verbunden.

- 15 Nach einer anderen bevorzugten Ausführungsform des erfindungsgemäßen Speichermoduls ist das Substrat als eine rechteckige Leiterplatte ausgebildet, wobei die Speicherbausteine auf zwei einander gegenüberliegenden Oberflächen der Leiterplatte in mindestens zwei jeweils parallel ausgerichteten Zeilen angeordnet sind.

20

- Für ein erfindungsgemäßes, standardisiertes Speichermodul mit DDR-DRAMs ergeben sich dabei für die Leiterplatte Abmessungen von 1,7 bis 3,0 Zoll x 5,25 Zoll. Im Vergleich zu den üblichen Abmessungen von 1,2 Zoll x 5,25 Zoll gemäß JEDEC-
25 Standard ergibt sich eine etwa doppelte Einbauhöhe in einem Computersystem.

- 30 Mit dem erfindungsgemäßen Speichermodulen ist eine Speicheranordnung realisierbar, die neben mindestens einem erfindungsgemäßen Speichermodul eine Systemplatine, mindestens eine auf der Systemplatine angeordnete und zur Aufnahme von Speichermodulen geeignete Aufnahmeeinrichtung einen mit mindestens einer der Aufnahmeeinrichtungen verbundenen Buskontrollbaustein aufweist.

Bevorzugt weist die Speicheranordnung genau vier als Steckfassungen ausgebildete Aufnahmeeinrichtungen auf. Damit erfüllt die Speicheranordnung bestehende Industriestandards bezüglich eines Platzbedarfes auf einer Systemplatine eines Computersystems.

Übliche Bussysteme weisen 16, 32, 64 oder mehr Signalleitungen zur synchronen Übertragung von Datensignalen auf. Werden auf den Speichermodulen für 64 Signalleitungen jeweils zuführende und abführende Kontakteinrichtungen und etwa zusätzlich jeweils Kontakteinrichtungen für Schirmleitungen vorgesehen, so sind am Speichermodul 256 Kontakteinrichtung allein für den Datenbus vorzusehen. Eine solche Zahl von Kontakteinrichtungen lässt sich im Rahmen der vorgegebenen Industriestandards für die mechanischen und elektrischen Schnittstellen von Speichermodulen nur außerordentlich erschwert realisieren.

Erfindungsgemäß wird daher vorgesehen, ein Bussystem, das ein Mehrfaches X einer Anzahl Y von pro Speichermodul zugeordneten Signalleitungen aufweist, zu fraktionieren. Dazu ist jedes Speichermodul einer von X Speichermodulgruppen zugeordnet. Jede Signalleitung des Bussystems ist dann lediglich jeweils den Speichermodulen genau einer der X Speichermodulgruppen zugeordnet.

Erfindungsgemäß sind etwa für ein 64-bit Bussystem zwei Speichermodulgruppen vorgesehen, zu denen jeweils 32 Signalleitungen des Bussystems geführt werden.

Nachfolgend wird die Erfindung anhand von Figuren näher erläutert, wobei für einander entsprechende Komponenten gleiche Bezugszeichen verwendet werden. Es zeigen:

Fig. 1 Einen schematischen Querschnitt durch eine erfindungsgemäße Speicheranordnung mit Speichermodulen nach einem ersten Ausführungsbeispiel der Erfindung und

5

Fig. 2 einen schematischen Querschnitt durch eine erfindungsgemäße Speicheranordnung mit Speichermodulen nach einem zweiten Ausführungsbeispiel der Erfindung.

Eine in der Fig. 1 schematisch dargestellte Speicheranordnung umfasst einen Buskontrollbaustein 11, eine Terminierungseinrichtung 12 und vier als Steckfassungen ausgebildete Aufnahmeeinrichtungen 131-134 zur Aufnahme von Speichermodulen 2. Dabei sind der Buskontrollbaustein 11, die Terminierungseinrichtung 12, sowie die Steckfassungen 131-134 jeweils auf der Oberfläche einer Systemplatine 1 angeordnet. Auf den Speichermodulen 2 sind Speicherbausteine 22 auf einem ersten 21a und einem zweiten Teilsubstrat 21b angeordnet. Die beiden Teilsubstrate 21a, 21b sind elektrisch und mechanisch miteinander verbunden. Die Speichermodule 2 in den ersten 131 und der dritten 133 Steckfassung sind einer ersten Speichermodulgruppe, die Speichermodule 2 in der zweiten 132 und vierten 134 Steckfassung einer zweiten Speichermodulgruppe zugeordnet.

25

Stellvertretend für die Signalleitungen eines Bussystems der Speicheranordnung sind eine erste, der ersten Speichermodulgruppe zugeordnete Signalleitung 31 und eine zweite, der zweiten Speichermodulgruppe zugeordnete Signalleitung 32 dargestellt. Jede Signalleitung 31, 32 ist in oder auf der Systemplatine 1 vom Buskontrollbaustein 11 zu einer zuführenden Kontakteinrichtung 23a des in der jeweils ersten Steckfassung 131, 132 der jeweiligen Speichermodulgruppe angeordneten Speichermoduls 2 und im und/oder auf dem Speichermodul 2 zu

30

einer abführenden Kontakteinrichtung 23b des Speichermoduls 2, in gleicher Weise zur jeweils weiteren Steckfassung 133, 134 der Speichermodulgruppe und von der jeweils weiteren Steckfassung 133, 134 zur Terminierungseinrichtung 12 geführt.

Der ersten Signalleitung 31 sind in der gezeigten Konfiguration auf den Speichermodulen 2 jeweils vier Speicherbausteine 22 zugeordnet. Die Signalleitung 31 ist sowohl auf den beiden Teilsubstraten 21a, 21b des Speichermoduls 2 als auch auf der Systemplatine 1 im Wesentlichen in einem Zug mit nur kurzen Abzweigen zu jeweils am Substrat 21 gegenüberliegend angeordneten Speicherbausteinen 22, die eine jeweils spiegelbildliche Anschlussbelegung aufweisen können, durchgeschliffen.

Die gezeigte Speicheranordnung ermöglicht den Betrieb von 128, bzw. bei Verwendung von Fehlerkorrektureinrichtungen 144 Speicherbausteinen 22 an nur vier Steckplätzen 131, 132, 133, 134 und gewährleistet durch die beschriebene Ausbildung der Signalleitungen 31, 32 gleichzeitig die geforderten hohen Datenübertragungsraten von etwa 670 Mbit/pin/s.

In der Fig. 2 ist eine weitere Speicheranordnung mit anderen Speichermodulen 2 mit gegenüber herkömmlichen Speichermodulen in etwa verdoppelter Größe des Substrats 21 dargestellt. Im Unterschied zu den aus der Fig. 1 bekannten Speichermodulen 2 ist eine Signalleitung 31 auf dem Speichermodul 2 ohne jeden Abzweig (stub) nacheinander zu den der Signalleitung 31 zugeordneten Anschlusselementen 221 der Speicherbausteine 2 zu führen. Da lokal nur jeweils ein Anschlusselement 221 pro Speicherbaustein 22 mit der Signalleitung 31 verbunden ist, wird eine hohe Konzentration von parasitären Eingangskapazitäten auf der Signalleitung 31 vermieden und eine weiter erhöhte Datenübertragungsrate ermöglicht. Ferner wird durch die

verteilte Anordnung der Speicherbausteine 22 die Kühlung an allen Speicherbausteinen 22 effektiver. Einer bei den geforderten Datenübertragungsraten durchaus kritischen Überhitzung der Speicherbausteine 22 ist vorgebeugt.

Patentansprüche

1. Speichermodul für eine Speicheranordnung mit einem aus einer Mehrzahl von Signalleitungen (31, 32) zusammengesetzten
5 Bussystem zur Übertragung von Datensignalen, wobei das Speichermodul (2)
- ein Substrat (21),
- eine Mehrzahl von auf dem Substrat (21) angeordneten und mittels Anschlusselementen (221) mit den Signalleitungen
(31,32) verbundenen Speicherbausteinen (22) und
- jeweils einer der Signalleitungen (31, 32) zugeordnete Kontakteinrichtungen (23a, 23b) aufweist,
d a d u r c h g e k e n n z e i c h n e t ,
dass jeder Signalleitung (31, 32) jeweils eine zuführende
15 (23a) und eine abführende (23b) Kontakteinrichtung zugeordnet ist und die jeweils einander zugeordneten zuführenden (23a) und abführenden (23b) Kontakteinrichtungen räumlich eng benachbart angeordnet sind.
- 20 2. Speichermodul nach Anspruch 1,
d a d u r c h g e k e n n z e i c h n e t ,
dass den Kontakteinrichtungen (23a, 23b) auf dem Speichermodul (2) mehr als zwei Speicherbausteine (22) zugeordnet sind und jede abführende Kontakteinrichtung (23b) jeweils in einem
25 geringeren Abstand zur zuführenden Kontakteinrichtung (23a) angeordnet ist als im Mittel die der Signalleitung (31, 32) zugeordneten Anschlusselemente (221) der der Signalleitung (31, 32) zugeordneten Speicherbausteine (22).
- 30 3. Speichermodul nach Anspruch 1,
d a d u r c h g e k e n n z e i c h n e t ,
dass die Kontakteinrichtungen (23a, 23b) jeweils genau einem Speicherbaustein (22) oder genau zwei Speicherbausteinen (22) zugeordnet sind und zwischen jeder zuführenden Kontaktein-

richtung (23a) und der jeweils zugeordneten abführenden Kontakteinrichtung (23b) maximal sechzehn andere Kontakteinrichtungen angeordnet sind.

5 4. Speichermodul nach einem der Ansprüche 1 bis 3,
d a d u r c h g e k e n n z e i c h n e t ,
dass jede Signalleitung (31, 32) jeweils im Wesentlichen ohne
Abzweig in einem Zug und auf direktem Weg von der jeweils zu-
führenden Kontakteinrichtung (23a) nacheinander über die der
10 Signalleitung (31, 32) zugeordneten Anschlusselemente (221)
der der Signalleitung (31, 32) zugeordneten Speicherbausteine
(22) zur abführenden Kontakteinrichtung (23b) geführt ist.

15 5. Speichermodul nach einem der Ansprüche 1 bis 4,
d a d u r c h g e k e n n z e i c h n e t ,
dass die Kontakteinrichtungen (23a, 23b) in mindestens einer
Kontaktreihe angeordnet und dabei zwischen jeder zuführenden
Kontakteinrichtungen (23a) und der jeweils zugeordneten ab-
führenden Kontakteinrichtung (23b) keine oder maximal zwei
20 weitere Kontakteinrichtungen vorgesehen sind.

6. Speichermodul nach einem der Ansprüche 1 bis 4,
d a d u r c h g e k e n n z e i c h n e t ,
dass die Kontakteinrichtungen (23a, 23b) in mindestens zwei
25 einander am Substrat (21) direkt oder versetzt einander ge-
genüberliegenden Kontaktreihen angeordnet sind und jede der zu-
führenden Kontakteinrichtungen (23a) der jeweils zugeordneten
abführenden Kontakteinrichtung (23b) direkt oder versetzt ge-
genüberliegend angeordnet ist.

30 7. Speichermodul nach einem der Ansprüche 1 bis 6,
d a d u r c h g e k e n n z e i c h n e t ,
dass die jeweils einer der Signalleitungen (31, 32) zugeord-
neten Anschlusselemente (221) jeweils in einem sich im We-

sentlichen aus einer Länge oder einer Breite eines Baustein-
gehäuses der Speicherbausteine (22) ergebenden Abstand mit
der zugeordneten Signalleitung (31, 32) verbunden sind.

5 8. Speichermodul nach einem der Ansprüche 1 bis 7,
dadurch gekennzeichnet,
dass die jeweils einer der Signalleitungen (31, 32) zugeord-
neten Anschlusselemente (221) jeweils im Wesentlichen in
gleichen Abständen mit der zugeordneten Signalleitung (31,
9 32) verbunden sind.

9. Speichermodul nach einem der Ansprüche 1 bis 8,
dadurch gekennzeichnet,
dass die Speicherbausteine (22) jeweils eine Double-Data-
15 Rate-Schnittstelle aufweisen.

10. Speichermodul nach einem der Ansprüche 1 bis 9,
dadurch gekennzeichnet,
dass auf dem Speichermodul (2) bis zu 32 Speicherbausteine
20 (22) für ein die Speicheranordnung umfassendes Speichersystem
ohne Fehlerkorrektureinrichtungen angeordnet sind.

11. Speichermodul nach einem der Ansprüche 1 bis 9,
dadurch gekennzeichnet,
25 dass auf dem Speichermodul (2) bis zu 36 Speicherbausteine
(22) für ein die Speicheranordnung umfassendes Speichersystem
mit Fehlerkorrektureinrichtungen angeordnet sind.

12. Speichermodul nach einem der Ansprüche 1 bis 11,
30 dadurch gekennzeichnet,
dass das Substrat (21) als eine Anordnung aus mindestens zwei
mechanisch und elektrisch miteinander verbundenen Teilsub-
straten (21a, 21b) ausgebildet ist.

13. Speichermodul nach Anspruch 12,
dadurch gekennzeichnet,
dass die Teilsubstrate (21a, 21b) in einem Abstand von je-
weils 5 bis 25 mm angeordnet und zueinander parallel ausge-
richtet sind.

14. Speichermodul nach einem der Ansprüche 1 bis 11,
dadurch gekennzeichnet,
dass das Substrat (2) als eine rechteckige Leiterplatte aus-
gebildet ist und die Speicherbausteine (22) auf zwei einander
gegenüberliegenden Oberflächen der Leiterplatte in mindestens
zwei jeweils parallel ausgerichteten Zeilen angeordnet sind.

15. Speichermodul nach Anspruch 14,
dadurch gekennzeichnet,
dass die rechteckige Leiterplatte die Abmessungen 1,7 bis 3,0
Zoll x 5,25 Zoll aufweist.

16. Speicheranordnung für ein Speichersystem mit einem aus
einer Mehrzahl von Signalleitungen (31, 32) zusammengesetzten
Bussystem zur Übertragung von Datensignalen, umfassend:

- eine Systemplatine (1),
- mindestens eine auf der Systemplatine (1) angeordnete und
zur Aufnahme von Speichermodulen (2) geeignete Aufnahmeein-
richtung (131, 132, 133, 134),
- einen mit mindestens einer der Aufnahmeeinrichtungen (131,
132, 133, 134) verbundenen Buskontrollbaustein (11) und
- mindestens ein in einer der Aufnahmeeinrichtungen (131,
132, 133, 134) angeordnetes Speichermodul (2),

dadurch gekennzeichnet,
dass die Speichermodule (2) als Speichermodule nach einem der
Ansprüche 1 bis 15 ausgebildet sind.

17. Speicheranordnung nach Anspruch 16,
g e k e n n z e i c h n e t d u r c h
genau vier als Steckfassungen ausgebildete Aufnahmeeinrich-
tungen (131, 132, 133, 134).

5

18. Speicheranordnung nach einem der Ansprüche 16 oder 17,
d a d u r c h g e k e n n z e i c h n e t ,
dass das Bussystem ein Mehrfaches X einer Anzahl Y von pro
Speichermodul (2) zugeordneten Signalleitungen (31, 32) um-
fasst, jedes Speichermodul (2) einer von X Speichermodulgrup-
pen zugeordnet ist und jede Signalleitung (31, 32) jeweils
den Speichermodulen (2) einer der X Speichermodulgruppen zu-
geordnet ist.

15

Zusammenfassung

Speichermodul und Speicheranordnung mit abzweigfreien Signal-
leitungen und verteilten kapazitiven Lasten

5

In einem Speichermodul (2) für eine Speicheranordnung mit ei-
nem aus einer Mehrzahl von Signalleitungen (31, 32) zusammen-
gesetzten Bussystem ist jede Signalleitung (31, 32) zur Erhö-
hung einer maximalen Datenübertragungsrate innerhalb der
Speicheranordnung jeweils im Wesentlichen ohne Abzweig in ei-
nem Zug von einer zuführenden Kontakteinrichtung (23a) zu ei-
ner nahe der zuführenden Kontakteinrichtung (23a) angeordne-
ten abführenden Kontakteinrichtung (23b) ausgebildet. Zwi-
schen der zuführenden (23a) und der abführenden Kontaktein-
richtung (23b) ist jede der Signalleitungen (31, 32) nachein-
ander in Mindestabständen über der Signalleitung (31, 32) zu-
geordnete Anschlusselemente (221) von der Signalleitung (31,
32) zugeordneten Speicherbausteinen (22) geführt.

20 (Fig. 2)

Bezugszeichenliste

	1	Systemplatine
	11	Buskontrollbaustein
5	12	Terminierungseinrichtung
	131	erste Aufnahmeeinrichtung
	132	zweite Aufnahmeeinrichtung
	133	dritte Aufnahmeeinrichtung
	134	vierte Aufnahmeeinrichtung
	2	Speichermodul
	21	Substrat
	21a	erstes Teilsubstrat
	21b	zweites Teilsubstrat
	22	Speicherbaustein
15	221	Anschlusselement
	23a	zuführende Kontakteinrichtung
	23b	abführende Kontakteinrichtung
	31	erste Signalleitung
	32	zweite Signalleitung
20		

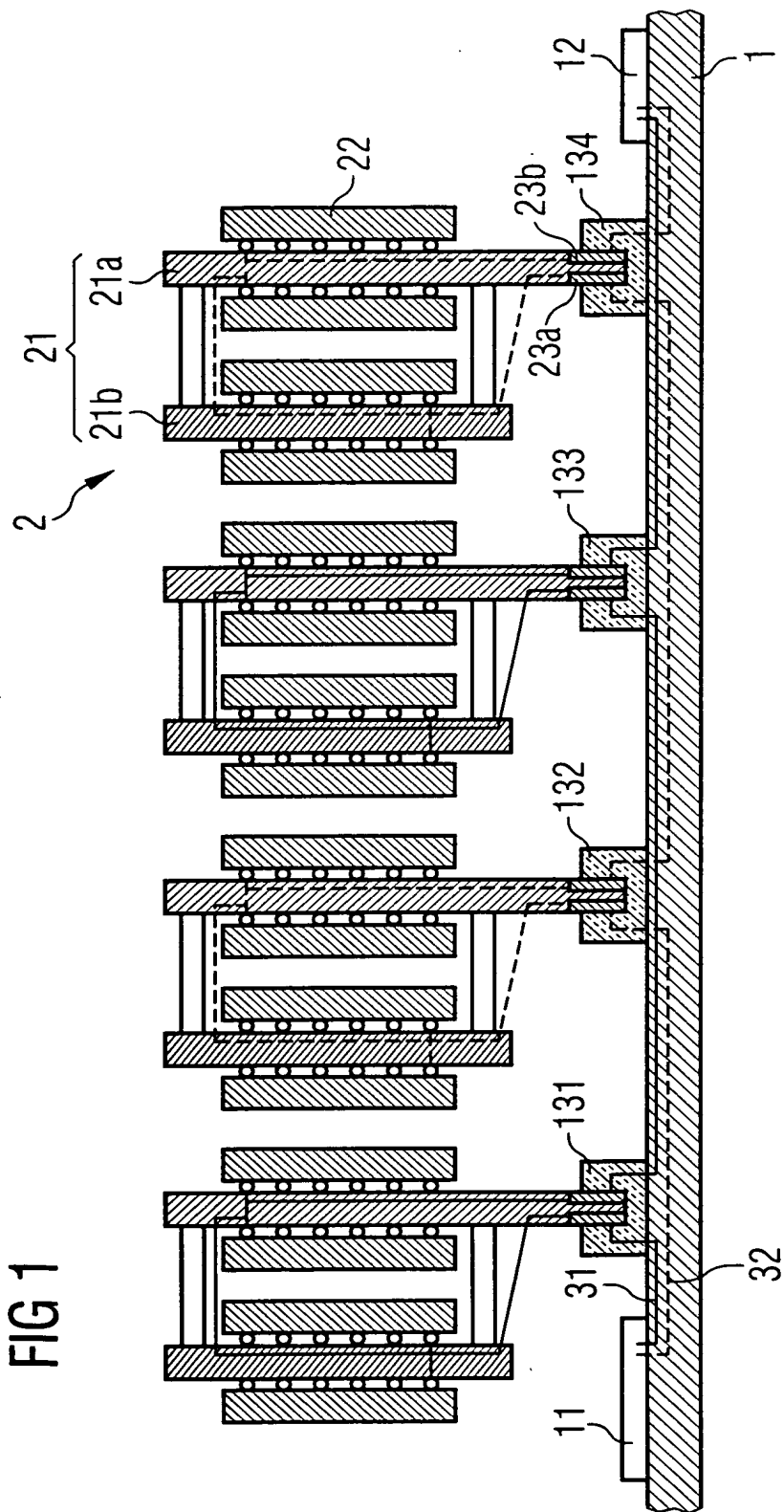
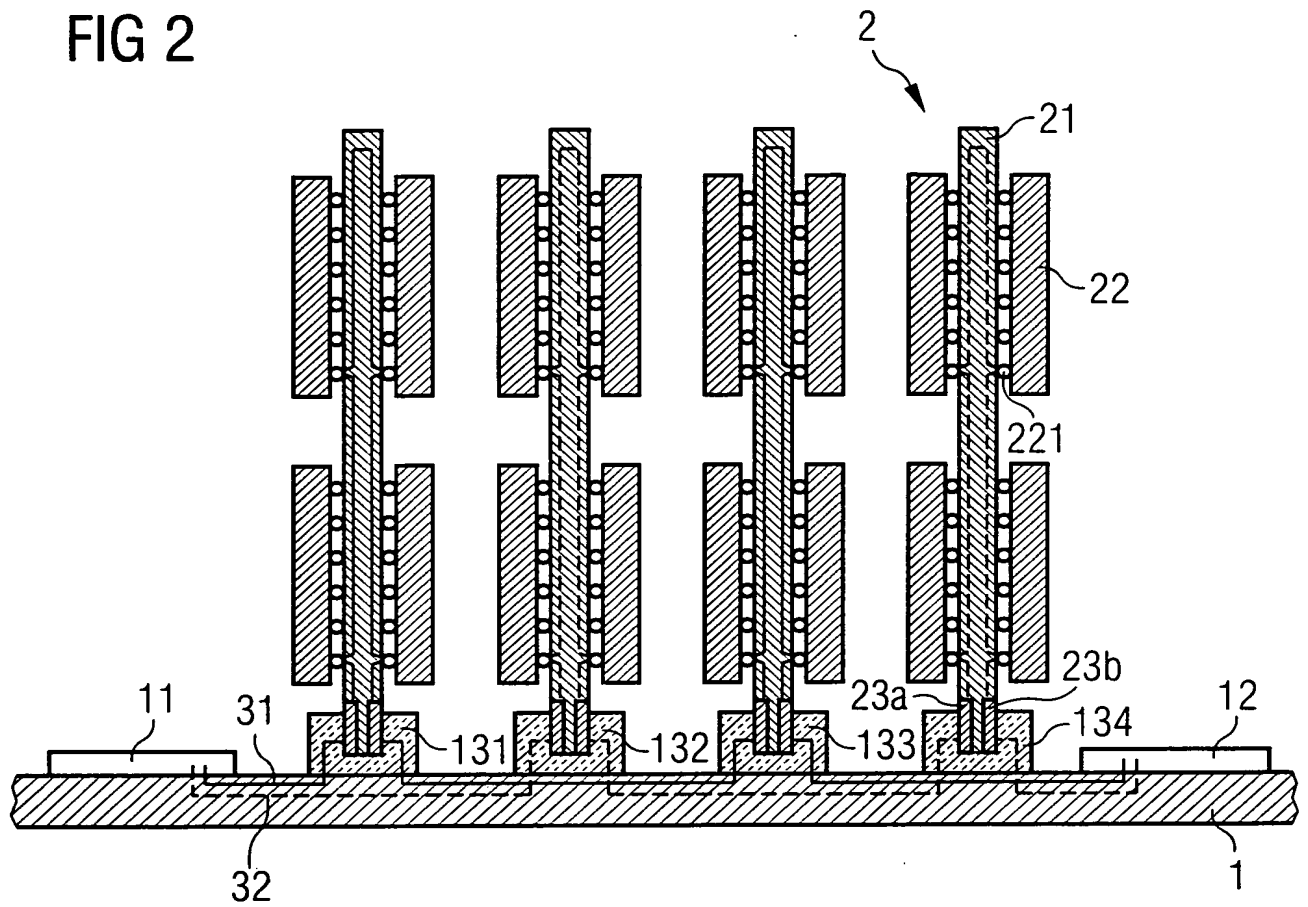


FIG 2



Figur für die Zusammenfassung

FIG 2

